

KOMISIJI ZA STUDIJE II STEPENA ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena, Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 2.06.2015. godine imenovala nas je u Komisiju za pregled i ocenu master rada dipl. inž. Matiju Miletića pod naslovom „Projektovanje UVM registarskog modela na primeru watchdog tajmera“. Nakon pregleda materijala Komisija podnosi sledeći

IZVEŠTAJ

1. Biografski podaci o kandidatu

Matija Miletić je rođen 22.05.1991. u Beogradu. Završio je Devetu beogradsku gimnaziju „Mihailo Petrović Alas“ sa prosečnom ocenom 5.00. Elektrotehnički fakultet u Beogradu upisao je 2010. godine, odsek Elektronika. Diplomirao je u septembru 2014. godine sa prosečnom ocenom na ispitima 9.07, na diplomskom 10. Master studije na Elektrotehničkom fakultetu u Beogradu upisao je 2014. godine na odseku za Elektroniku. Položio je sve ispite prosečnom ocenom 10.

2. Opis master rada

Master rad kandidata sadrži 98 strana. Rad sadrži četiri poglavlja i spisak literature sa 15 referenci.

Prvo poglavlje predstavlja uvod u kome su opisani predmet i cilj rada.

U drugom poglavlju je dat teorijski pregled strukture registarskog modela baziranog na univerzalnoj verifikacionoj metodologiji (UVM), kao i svih komponenti neophodnih za njegovo funkcionisanje, kao što su komponente adaptera i prediktora. Naveden je tok razvoja registarskog modela i njegovo integrisanje unutar verifikacionog okruženja. Detaljno je prikazan set UVM registarskih klasa neophodnih za modelovanje pomenutih komponenti. Pomenute su prednosti i mane korišćenja *back-door* pristupa nad registrima u odnosu na klasičan *front-door* pristup. Dat je prikaz modelovanja ponašanja specijalnih (*quirky*) registara, kao i detaljan postupak omogućavanja i prikupljanja pokrivenosti registarskog modela. Takođe, navedeno je nekoliko korisnih načina kako se informacije iz registarskog modela mogu iskoristiti unutar verifikacionog okruženja, kako se na brz način mogu definisati korisničke registarske sekvence i dve napredne tehnike koje obuhvataju objekat ekstenzije i rukovanje prozorom nesigurnosti.

U trećem poglavlju je dat prikaz implementacije registarskog modela na primeru komponente *watchdog* tajmera. Prikazani su najznačajniji delovi implementacije registarskog modela. Definisana je implementacija rukovanja specifičnim ponašanjem registara uz prikaz predikcije bita koji se hardverski postavljaju. Naveden je i postupak generisanja referentnog signala na osnovu informacija iz registarskog modela i upotreba istog signala za pisanje proverena signala na interfejsu. Navedeno je nekoliko saveta pri korišćenju *back-door* pristupa uz prikaz pronađenog problema unutar UVM biblioteke. Data je implementacija korišćenih naprednih tehnika, kao što su objekat ekstenzije, rukovanje prozorom nesigurnosti i filtriranje neželjenih transakcija. Na kraju su prikazani rezultati testiranja i prikupljene pokrivenosti nad registrima uz korišćene registarske sekvence. Kao dodatak, dato je nekoliko saveta za lakše debugovanje registarskog modela.

Na kraju rada je dat zaključak.

3. Analiza rada sa ključnim rezultatima

Master rad dipl. inž. Matije Miletića se bavi problematikom projektovanja registarskog modela baziranog na univerzalnoj verifikacionoj metodologiji. Dat je detaljan pregled literature iz ove oblasti, a zatim su izvedeni zaključci koje treba primeniti tokom projektovanja svakog registarskog modela. Prikazana je implementacija registarskog modela komponente *watchdog* tajmera. Projektovano je i kompletno verifikaciono okruženje spremno za testiranje i na IP, i na SoC nivou, uz primenu svih tehnika koje poboljšavaju stepen ponovnog iskorišćenja. Verifikaciono okruženje je opisano *SystemVerilog* jezikom, a za simulacije je korišćen *SimVision* simulator kompanije *Cadence*. Testiran je *back-door* pristup nad registrima i pri tom je identifikovan problem unutar UVM biblioteke klasa koju trenutno koristi veliki broj verifikacionih inženjera.

Najvažniji doprinosi ovog rada su:

- izvedeni su zaključci koji treba da osposobe čitaoca za samostalno projektovanje registarskog modela bilo koje komponente koja se verifikuje,
- dat je prikaz implementacije dve napredne tehnike na primeru *watchdog* komponente (objekat ekstenzije i rukovanje prozorom nesigurnosti),
- projektovana je originalna komponenta koja služi za filtriranje neželjenih transakcija prema registarskom modelu,
- nakon testiranja *back-door* pristupa, pronađen je problem unutar UVM biblioteke klasa. Problem je prijavljen, čime je dat doprinos u razvoju UVM metodologije koja je trenutno najzastupljenija metodologija za verifikaciju hardvera na svetu.

4. Zaključak i predlog

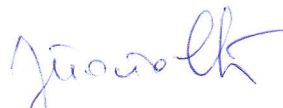
Kandidat Matija Miletić je predložio postupak projektovanja UVM registarskog modela i uspešno ga implementirao na primeru komponente *watchdog* tajmera. U radu su date smernice za projektovanje registarskog modela bilo koje komponente koja se verifikuje. Osim toga, autor je uočio problem unutar UVM biblioteke klasa koja je danas veoma korišćena i time dao doprinos celokupnoj populaciji verifikacionih inženjera koji koriste UVM metodologiju.

Kandidat je iskazao izuzetnu samostalnost i sistematičnost u radu, kao i inovativne elemente u rešavanju problematike rada.

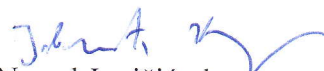
Na osnovu gore navedenog komisija predlaže Nastavno-naučnom veću Elektrotehničkog fakulteta u Beogradu da prihvati rad "Projektovanje UVM registarskog modela na primeru *watchdog* tajmera" dipl. inž. Matije Miletića kao master rad i odobri javnu i usmenu odbranu.

U Beogradu, 27.06.2016.

Članovi komisije:



dr Jelena Popović-Božović, docent



dr Nenad Jovičić, docent