

NASTAVNO-NAUČNOM VEĆU ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena, Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 16.09.2014. godine imenovala nas je u Komisiju za pregled i ocenu master rada dip. inž. Tomislava Babića pod naslovom "Razvoj okruženja za verifikaciju nezavisnih HDL blokova preko zajedničkog interfejsa". Nakon pregleda materijala Komisija podnosi sledeći

IZVEŠTAJ

1. Biografski podaci kandidata

Kandidat Tomislav Babić, rođen je 10. jula 1983. godine u Novom Sadu. Godine 2002. završio je srednju elektrotehničku školu Nikola Tesla u Beogradu, a septembra 2010. godine diplomirao je na Elektrotehničkom fakultetu, Univerziteta u Beogradu sa prosečnom ocenom 8,11 i ocenom 10 na diplomskom radu. Kao apsolvent, od marta 2008. godine, radi u kompaniji „Elszs Eastern Europe“ na poziciji verifikacionog inženjera. 2013. godine prelazi u kompaniju NoBug Consulting na istu poziciju. Od 2010. godine je student master studija na Elektrotehničkom fakultetu Univerziteta u Beogradu. Ispite predviđene nastavnim planom i programom položio je sa prosečnom ocenom 7.80.

2. Opis master rada

Master rad kandidata sadrži 75 strana teksta, zajedno sa slikama, spiskom literature i prilogom, i podeljen je na ukupno pet poglavlja.

U prvom uvodnom poglavlju je dat pregled oblasti verifikacije HDL dizajna. Ovde su date osnovne informacije o funkcionalnoj verifikaciji i koji su njeni ciljevi i faze.

U okviru drugog poglavlja opisane su različite faze funkcionalne verifikacije. Ove faze su verifikacija na nivou blokova, na nivou sistema, vremenska verifikacija i testiranje prototipa sistema.

U trećem poglavlju su opisane verifikacione metodologije. Opisan je razlog njihovog nastanka i njihove prednosti. Poseban osvrt je dat na UVM metodologiju koja je danas standard u industriji.

Četvrto poglavlje predstavlja centralni deo ovog rada i daje prikaz verifikacije na nivou HDL bloka. Ovo poglavlje sadrži kompletnu dokumentaciju jednog verifikacionog projekta. Ovo uključuje verifikacioni plan, test plan, plan pokrivenosti, kao i opis svih verifikacionih komponenti korišćenih za verifikaciju izabranog HDL bloka.

Peto poglavlje daje rezultate verifikacije HDL bloka.

U formi dodatka, na kraju rada, priložen je programski kod verifikacionog okruženja koje je korišćeno.

3. Analiza rada sa ključnim rezultatima

U radu su predstavljeni osnovni pojmovi, izazovi i problemi koji se javljaju u oblasti funkcionalne verifikacije. Dat je osvrt na sve korake razvoja digitalnog sistema, od izrade specifikacije do izlaska na tržište sa aspekta verifikacije. Takođe ovaj rad objašnjava zašto su potrebne jasno definisane metodologije verifikacije u današnjoj industriji, kako bi se ispoštovali vremenski okviri projekta i zahtevi za kvalitetom projekta. Ključan doprinos ovog rada se ogleda u detaljnom prikazu verifikacije HDL bloka baziranog na njegovim interfejsima i mogućnosti korišćenja verifikacionog okruženja za druge projekte uz minimalne izmene.

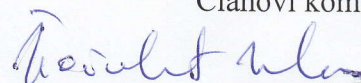
4. Zaključak i predlog

Kandidat Tomislav Babić je u svom master radu uspešno izložio problematiku verifikacije digitalnih sistema. Na osnovu funkcionalne specifikacije HDL bloka izradjena je kompletna dokumentacija verifikacionog okruženja kao i samo okruženje i demonstrirani su pozitivni rezultati simulacija. Ovim je kandidat pokazao sposobnost da koristeći odgovarajuću literaturu i znanja stečena tokom osnovnih i master studija samostalno rešava postavljene probleme što opravdava njegovu kandidaturu za sticanje master diplome.

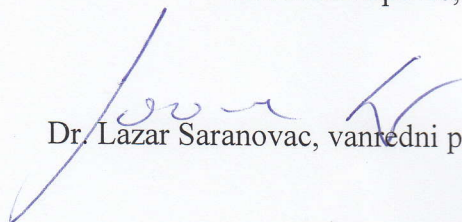
Na osnovu navedenog Komisija predlaže Nastavno-naučnom veću Elektrotehničkog fakulteta u Beogradu da prihvati rad pod naslovom "Razvoj okruženja za verifikaciju nezavisnih HDL blokova preko zajedničkog interfejsa" dip. inž. Tomislav Babić, kao master rad i odobri javnu usmenu odbranu.

U Beogradu, 22.09.2014. godine

Članovi komisije:



Dr. Ivan Popović, docent



Dr. Lazar Saranovac, vanredni profesor